

**DSP (Digital Signal Processing)**

**ハードウェアマニュアル**

第 1.2.4 版      2011 年 6 月

**株式会社テクノエーピー**

〒312-0012 茨城県ひたちなか市馬渡 2976-15  
TEL.029-350-8011    FAX.029-352-9013  
<http://www.techno-ap.com>

## 免責事項

平素は株式会社テクノエーピー(以下「当社」)の製品をご愛用いただき誠にありがとうございます。

当社製品のご使用によって発生した事故であっても、装置・接続機器・ソフトウェアの異常、故障に対する損害、その他二次的な損害を含む全ての損害補償について、当社は一切責任を負いません。ご利用に際しては、自己責任にてご判断くださいますようお願いいたします。

### 禁止事項

- ・ 人命、事故に関わる特別な品質、信頼性が要求される用途でのご使用はご遠慮ください。
- ・ 高温、高湿度、振動の多い場所などでのご使用はご遠慮ください(対策品は除きます)。
- ・ 定格を超える電源を加えないでください。
- ・ 基板製品は、基板表面に他の金属が接触した状態で電源を入れないでください。

### 注意事項

- ・ 発煙や異常な発熱があった場合はすぐに電源を切ってください。
- ・ ノイズの多い環境では正しく動作しないことがあります。
- ・ 静電気にはご注意ください。
- ・ 製品の仕様や関連書類の内容は、予告無しに変更する場合があります。

## 保証条件

「当社製品」の保証条件は次のとおりです。

- ・ 保証期間           ご購入後一律 1 年間といたします。
- ・ 保証内容           保証期間内で使用中に故障した場合、修理または交換を行います。
- ・ 保証対象外       故障原因が次のいずれかに該当する場合は、保証いたしません。
  - (ア) 「当社製品」本来の使い方以外のご利用
  - (イ) 上記のほか「当社」または「当社製品」以外の原因(天災等の不可抗力を含む)
  - (ウ) 消耗品等

株式会社テクノエーピー

## 目 次

1. 概要.....	4
1.1. 概要.....	4
1.2. 特徴.....	5
1.3. 仕様.....	6
1.4. 改訂.....	7
2. 説明.....	8
2.1. 構成.....	8
2.2. アナログ信号の調整.....	8
2.3. 高速 ADC.....	10
2.4. デジタルシグナルプロセッシング.....	11
2.5. 外形.....	19
2.5.1. APV8008 VME 型 8CHDSP.....	19
2.5.2. APU8004 ユニット型 4CHDSP.....	22
2.6. APG8101 CPU ボード.....	25
2.7. 性能.....	28

---

## 1. 概要

---

### 1.1. 概要

---

テクノエーピー社製 DSP(Digital Signal Processing、デジタルシグナルプロセッシング)製品は、リアルタイムデジタルシグナルプロセッシング機能を搭載したマルチチャンネルアナライザ(MCA)です。

これまでの放射線計測は、プリアンプからの信号をスペクトロスコピアンプに渡し、アナログ回路によって増幅と波形整形処理をして、MCA などの計測装置に合わせてスペクトル解析を行っていました。

DSP の場合は、非常に高速な 100MHz・14Bit の A/D コンバータを利用して、プリアンプからの信号を直接デジタルに変換します。デジタルに変換されたデータは高集積 FPGA(Field Programmable Gate Array)に送られ、数値演算によって、スペクトル分析されます。プリアンプの信号は FPGA によるパイプラインアーキテクチャによって、リアルタイムに台形フィルタ(Trapezoidal Filter)処理されます。

DSP の構成はスペクトロスコピアンプと MCA を一体化したもので、伝統的なアナログ方式に変わり最新のデジタル信号処理技術を用いたパルスシェイピングを実行します。

台形フィルタの他に、タイミングフィルタアンプ、CFD、波形デジタイザ等の機能を有しております。

非常に優れたエネルギー分解能と時間分解能を提供し、高い計数率時でも抜群の安定感を持ちます。またアナログ方式最高スループットを誇るゲートインテグレータアンプ以上のスループット(100Kcps 以上)を提供します。最大 8CH のマルチチャンネル DSP は、すべての ADC が同期して動作しており、またモジュール間も同期させることが可能です。多チャンネルのシステムや、コインシデンス、アンチコインシデンスシステム、エネルギーと時間の相関解析にも応用できます。

本書は、弊社 DSP 製品の中でも代表的な APV8000 シリーズ(APV8002,APV8004,APV8008)のハードウェアに関して説明するものです。

## 1.2. 特徴

- ・ ガンマ線スペクトロスコピ用デジタルシグナルプロセッシング
- ・ ゲルマニウム半導体検出器用
- ・ 多素子検出器、アンチコンプトンスペクトルメーター等の多チャンネル多機能システムに最適
- ・ シンチレーション (NaI、LaBf) 検出器のスペクトル解析
- ・ 高集積 FPGA によるデジタルパルスシェイピング (Digital Pulse Shaping)
- ・ イーサネット (TCP/IP) によるデータ収録

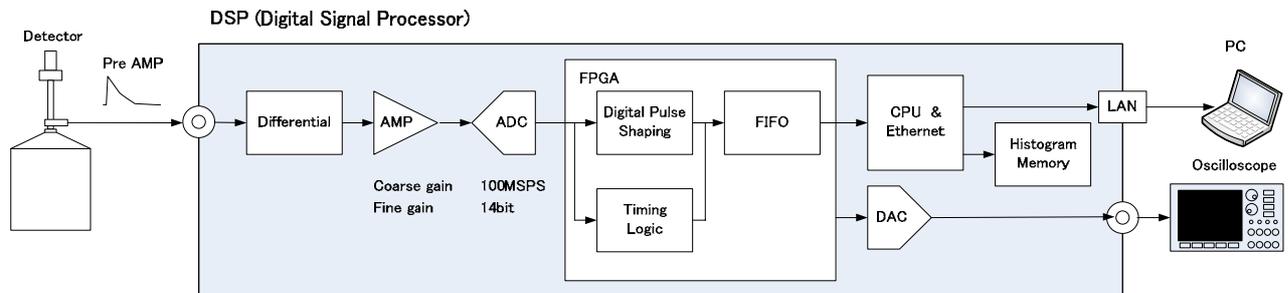


図 1 DSP 構成

検出器のプリアンプの出力信号を直接 DSP へ入力し、DSP 内の高速 ADC (100MSPS) でデジタル化します。デジタルパルスプロセッシングの心臓部である A/D コンバータは、最新の 100MHz・14bit の高速、高分解能パイプライン型 ADC を採用し、プリアンプからの信号を直接デジタル化します。

FPGA にてハードウェア演算により台形波形処理を行います。台形波形に整形するために必要なシェイピングタイムは、PC からのパラメータにより設定します。ファスト系とスロー系とも、ピーキングタイム (Peakingtime = Rise time + Flat top time) によりピーク値をデジタル的に検出します。

ファスト系とスロー系の 2 種類のフィルタブロックで処理されます。

ファスト系でタイミングを取得とパイルアップリジェクト (Pile up Reject) を行います。

スロー系でポールゼロ キャンセル (Pole Zero Cancel)、ベースライン レストアラ (Baseline Restorer) 処理後エネルギー解析を行います。

FPGA に取り込んだプリアンプ信号や台形波形処理信号は DAC (Digital Analog Converter) で出力し、デジタルオシロスコープにて動作確認できます。

### 1.3. 仕様

#### (1) アナログ入力

・チャンネル数	: 2CH、4CH、8CH
・入力レンジ	: $\pm 1V$
・Coarse gain	: $\times 1$ 、 $\times 2$ 、 $\times 5$ 、 $\times 10$ ディップスイッチにより $\times 10$ 、 $\times 20$ 、 $\times 50$ 、 $\times 100$ へ変更可
・周波数帯域	: DC ~ 16MHz
・Fine gain	: $\times 0.333$ ~ $\times 1.0$
・入力インピーダンス	: 1k

#### (2) ADC

・サンプリング周波数	: 100MHz
・分解能	: 14bit
・SNR	: 66dB@1MHz

#### (3) 性能

・分解能	: 1.75KeV@1.33MeV (代表値)
・スペクトルブロードニング	: 12%以下 (1Kcps ~ 100Kcps)
・スループット	: 100Kcps 以上
・積分非直線性	: $\pm 0.025\%$ (typ)
・ピークシフト	: THD
・ドリフト特性	: THD
・パルスペア分解能	: $1.25 \times (\text{Risetime} + \text{Flat top Time})$ TechnoAP 所有 Ge 検出器の場合

#### (4) MCA

・ADC GAIN	: 8192、4096、2048、1024、512、256 チャンネル
・計測モード	: ヒストグラムモード、リストモード、波形モード
・イベント転送レート	: 約 1.2Myte/秒。1 イベント 8Byte(64Bit)の場合、CH 合計で 160kcps。

#### (5) デジタルパルスシェイピング

・ファスト系 Rise time	: 0.05 $\mu s$ ~ 1 $\mu s$
・ファスト系 Flat top time	: 0.03 $\mu s$ ~ 1 $\mu s$
・スロー系 Rise time	: 0.16 $\mu s$ ~ 16 $\mu s$
・スロー系 Flat top time	: 0.16 $\mu s$ ~ 4 $\mu s$
・デジタル Fine gain	: $\times 1$ ~ $\times 0.333$
・トリガータイミング	: LET (Leading Edge Timing) または CFD (Constant Fraction Timing)
・デジタル CFD	: 0.625ns 時間分解能
・デジタルポールゼロ キャンセル (Pole zero cancel)	
・デジタルベースライン レストアラ (Baseline Restorer)	
・デジタルパイルアップリジェクト (Pile up Reject)	
・LLD (Low Level Discriminator)	
・ULD (Upper Level Discriminator)	

#### (6) I/F

・LAN I/F	: Ethernet (TCP/IP) 100Base-T、TCP/IP オプションでデータ転送量が約2倍の UDP も可
----------	--

#### (7) 筐体

・VME 型	: APV8002 (2CH)
・VME 型	: APV8004 (4CH)
・VME 型	: APV8008 (8CH)
・ユニット型	: APU8002 (2CH)
・ユニット型	: APU8004 (4CH)

#### (8) 信号処理機能オプション

- ・コインシデンス : 同時計数
- ・コインシデンス二次元ヒストグラム表示 : コインシデンス機能の結果から CH-CH の 2 次元ヒストグラムを作成
- ・プリアンプの Rise time 計測 : 10 ~ 90% または 20 ~ 80%、0.625ns (最小単位)
- ・プリアンプの立ち上がり波形デジタイズ : プリアンプ信号の立ち上がり波形をイベントデータに付加

## (9) 消費電流

- + 12V : 0.2A
- 12V : 0.2A
- + 5V : 4.0A (APV8008)

## 1.4. 改訂

2008/11/07	第 1.0.0 版	初版
2008/12/11	第 1.0.1 版	CFD 説明の修正
2009/02/06	第 1.0.2 版	APN7000 の外観追加
2009/02/10	第 1.0.3 版	全体見直し
2009/03/23	第 1.0.4 版	全体見直し
2009/05/06	第 1.0.5 版	全体見直し
2009/09/14	第 1.1.0 版	APV8008 および APU8004 に対応。基板説明
2009/12/29	第 1.1.1 版	住所と FAX 番号変更
2010/07/30	第 1.1.3 版	入力インピーダンス追記
2011/02/24	第 1.2.3 版	免責事項追記。全体見直し
2011/06/18	第 1.2.4 版	全体見直し

## 2. 説明

### 2.1. 構成

APV8000 は、放射線計測のための DSP 8CH を搭載したモジュールです。

下図のように CH1 から CH8 までそれぞれに ADC を搭載し、FPGA によってデジタルシグナルプロセッシングを行いスペクトル解析を行います。

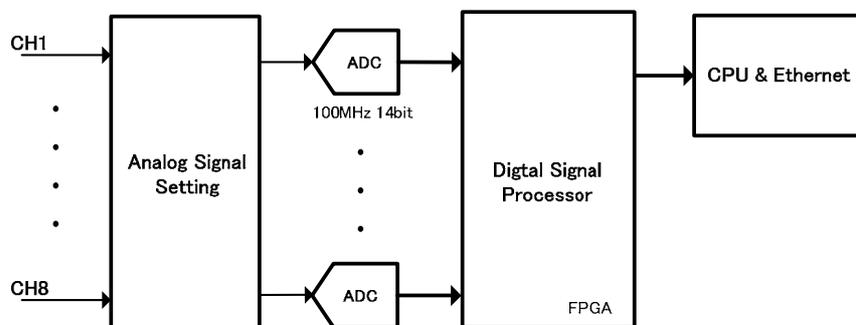


図 2 APV8000 の構成

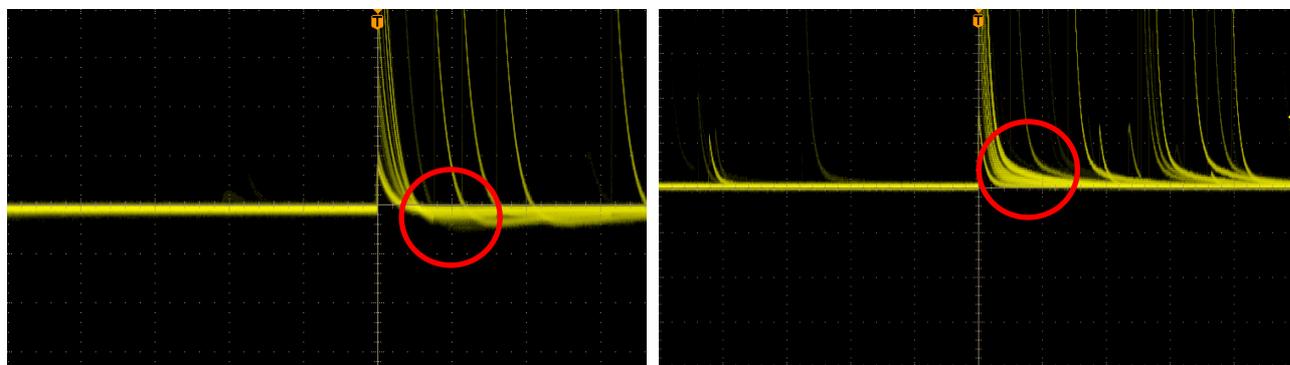
### 2.2. アナログ信号の調整

APV8000 のアナログフロントエンドはプリアンプの信号をデジタル信号処理に最適な環境にするため、ポールゼロキャンセル微分回路、ゲイン調整の増幅段と、アンチエイリアシングローパスフィルタで構成されています。

#### (1) ポールゼロ

プリアンプの信号は通常  $50 \mu s \sim 100 \mu s$  程度のディケイ (減衰) を持つ信号です。DSP で処理するにはディケイが長すぎるため高スループットに対応できません。その為、処理しやすい時定数に微分します。その際に生じるアンダーシュートは以下の式になり、アナログシステム同様に DSP でも過負荷特性が悪くなります。

$$\text{Undershoot (\%)} = \text{different amplitude} / \text{preamp decay time}$$



例 1 アンダーシュート

例 2 オーバーシュート

ポールゼロキャンセル回路を調整することにより、より良い分解能を提供することができます。プリアンプとのマッチングは、フロントパネルにある多回転式ボリューム(P.Z)で行います。このセッティングは、プリアンプを変えない限り一度調整を行えば再調整の必要はありません。デジタルポールゼロキャンセル調整は DSP の台形フィルタ(Trapezoidal Filter)に対するアンダーシュート補正になります。



例 3 調整後

APV8000 はディケイタイム 40  $\mu$ s 以上から対応しております。入力インピーダンスは約 500  $\Omega$  です。

APV8000 の対応するプリアンプは、抵抗フィードバック方式です。ご要望に応じてトランジスタリセット方式のプリアンプにも対応できます。

## (2) ゲイン調整

超低雑音高速プログラマブルゲインアンプにより、立ち上がりが速く低雑音が要求されるプリアンプからの信号を高精度に増幅することができます。コースゲイン(Coarse Gain)の設定は、1倍、2倍、5倍、10倍から選択し、PC から設定できます。APV8008 の場合、基板上のディップスイッチ(DIPSW)を  $\times 10$  にすれば、10倍、20倍、50倍、100倍の設定も可能です。

パネル上にあるボリューム(F.G)で、APV8008 の場合 1.0 倍 ~ 0.333 倍、APU8004 の場合 1 倍 ~ 3 倍のファインゲイン(Fine Gain)の調整ができます。

デジタル的なファインゲインの調整もできますが、それとは違いプリアンプ信号そのものを調整するため、信号対雑音比(S/N)が改善されることがあります。

## (3) アンチエイリアシングローパスフィルタ

アンチエイリアシングローパスフィルタ(Anti Aliasing Low Pass Filter)は ADC の前段に配置され、S/N の向上と折り返し雑音の除去することができます。カットオフ周波数は 16MHz に設定されています。

### 2.3. 高速 ADC

DSP はアナログ信号をデジタルに変換して数値演算によってスペクトル解析を行ないます。プリアンプの信号をデジタル化する ADC は非常に重要です。高速のサンプリングレートと同時に高分解能が要求されます。

APV8000 は最新の ADC 技術を用いて、非常に高い性能を誇ります。従来の逐次比較型 ADC では早くても  $1\mu\text{s}$  程度の変換時間があり、プリアンプの速い立ち上がりをサンプルすることはできません。また、従来のフラッシュ型 ADC では分解能が足りず、ゲルマニウム半導体検出器やシリコン (Li) 半導体検出器のような高分解能な検出器の計測には不向きです。スピードと分解能を併せ持つパイプライン型 ADC とデジタルシグナルプロセッシングにより高精度な計測が可能となりました。

APV8000 は熟練されたアナログフロントエンド技術、最新の ADC 技術、最適化されたプリント基板ア트워크技術を用いて非常に高いパフォーマンスを提供します。プリアンプの信号をデジタル化することにより、エネルギースペクトル解析の他、さまざまな解析を同時に行なうことが可能となります。APV8000 を使用することで、時間計測・波形解析・波形デジタル化など、さまざまなことに応用することができるようになります。

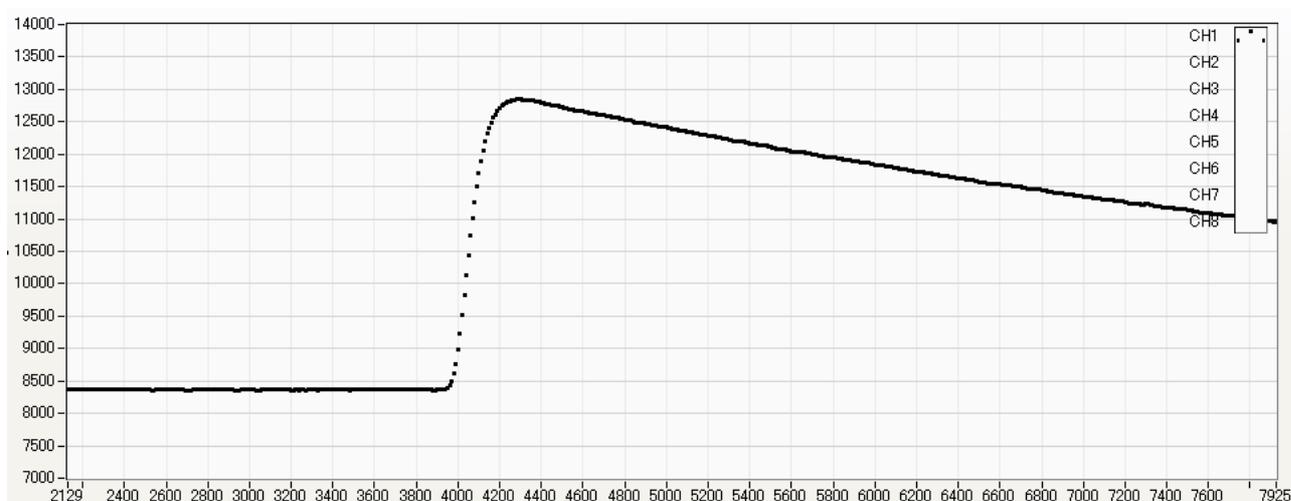


図 3 プリアンプ立ち上がり波形デジタル化

## 2.4. デジタルシグナルプロセッシング

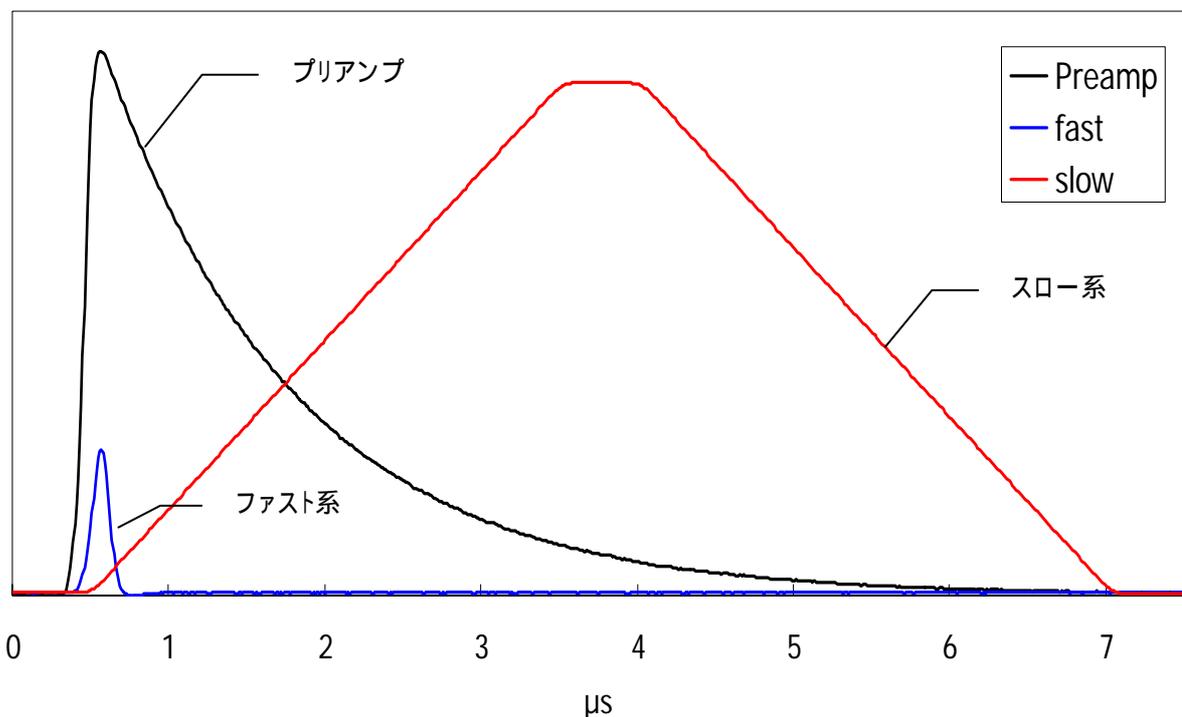
### (1) FPGA

APV8000 の DSP は FPGA(Field Programmable Gate Array)に組み込まれています。FPGA はプログラミング可能なハードウェア論理演算 LSI です。DSP に必要なアルゴリズムをプログラミングすることによって非常に大規模な回路をチップ 1 枚に収めており、大幅なスペース削減が可能となります。ソフトウェアによってシーケンシャルに処理するマイクロプロセッシングや DSP (IC)と違い、特別なパイプラインアーキテクチャを組んだハードウェアの論理回路は、リアルタイムで処理されていますので、DSP の演算や ADC の変換によるデッドタイムは生じません。

APV8000 は Altera(アルテラ)社製のハイエンドの FPGA を使用しています。この FPGA は大規模な回路を高速に動作させることが可能です。DSP の処理は多くは乗算器や積和演算器、FIFO などのメモリを多様します。高速の ADC サンプルクロック 100MHz に対して、FPGA も 100MHz で動作させなければなりません。それは一部の機能だけでなく、すべての回路について 100MHz で動作させる必要があり、高度なテクニックを必要とします。ハイエンドの FPGA を採用し、弊社のプログラミング技術により、DSP 8 回路と、その他放射線計測に必要な多くの機能を持つ DSP を完成することができました。

### (2) 台形フィルタ(Trapezoidal Filter)

APV8000 の DSP によるパルス整形 (pulse shaper) は台形フィルタを利用します。プリアンプの信号を 2 種類のファスト (Fast)系とスロー (Slow)系の台形整形 (Trapezoidal shaping)を行ないます。下図の黒色の波形はプリアンプの信号、赤色の波形はファスト系、青色の波形はスロー系です。



ファスト系はタイミングを取得するためのフィルタで、プリアンプの立ち上がり部分を取り出すために、通常  $0.1 \mu\text{s} \sim 0.5 \mu\text{s}$  のライズタイム (rise time) に設定し、できる限り速くベースライン復帰して次のパルスに備えます。ファスト整形 (Fast Shaper) が設定された閾値を超えると、パルスの検出、パイルアップリジェクタの実行、ベースライン検出を行います。

スロー系はエネルギー (波高) を計測するためのフィルタで、 $0.5 \mu\text{s} \sim 16 \mu\text{s}$  のライズタイムを設定できます。高分解能が必要とされる計測では、ライズタイムとフラットトップタイムとポールゼロ等の設定が非常に重要になります。

## (3) 台形フィルタ (Trapezoidal Filter) のアルゴリズム

パイプラインアーキテクチャで構成されたフィルタブロックは、台形フィルタに必要な遅延・加減算・積分といった値を、ADC の 100MHz のクロックに同期して演算します。

$$FIL(n) = \sum_{i=0}^n \sum_{j=0}^l DIFF^{r,w}(j) + DIFF^{r,w}(i)P$$

$$DIFF^{r,w} = v(j) - v(j-r) - v\{j-(r+f)\} - v\{j-(2r+f)\}$$

$$P = (\exp(CLK / ) - 1)^{-1}$$

$$r = \text{risetime}$$

$$f = \text{flattoptime}$$

$$w = 2r + f = \text{pulsewidth}$$

数式 1

## (4) 台形フィルタ (Trapezoidal Filter) の設定値

APV8000 の台形フィルタのパラメータの調整は、フロントパネル上 LEMO コネクタ MON 端子からの DAC 出力をオシロスコープに接続し、アナログモジュールと同じ感覚で設定することができます。これとは別に、オシロスコープを使わずに、PC のアプリケーション (波形モード) から波形を確認することもできます。

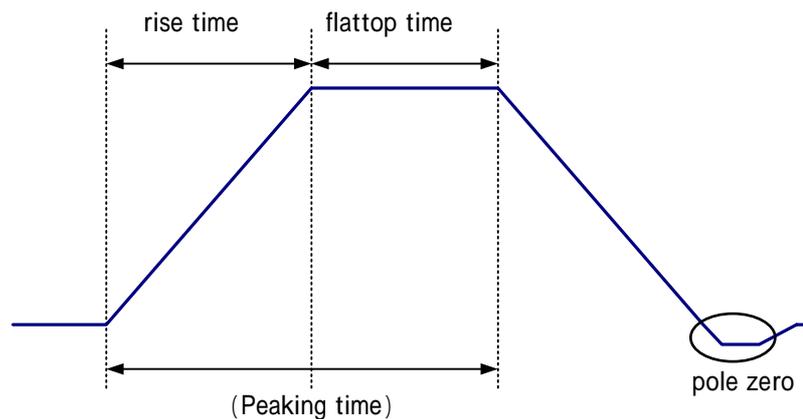


図 5 ライズタイム (rise time) とフラットトップタイム (flattop time) とポールゼロ (pole zero) の関係

下図のような、プリアンプ信号(黒色)とファスト系信号(赤色)とスロー系信号(青色)を参考にして、ファスト系とスロー系の台形フィルタ処理を実現するための設定のポイントを記載します。

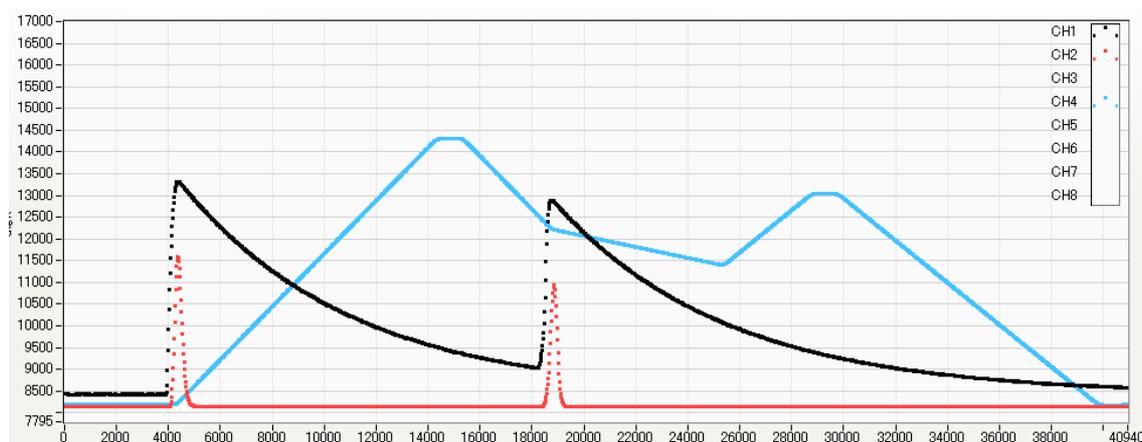


図 6 波形モード画面

### ファスト系(赤色)の設定のポイント

DSP 製品には、波形取得の時間情報を取るために FAST 系フィルタと、エネルギー(波高)を取得するための SLOW 系のフィルタがあります。まず FAST 系のフィルタを設定します。設定は、一般的なタイミングフィルタアンプと同じような特性があります。

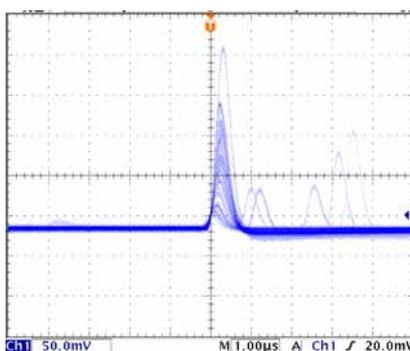
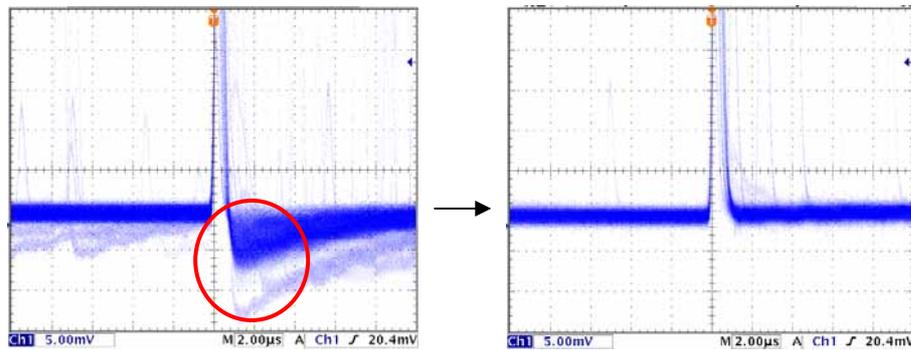


図 7 FAST 系フィルタ(fast diff 50, fast integral 50 の場合)

- (1) DAC 出力設定
  - ・ DAC 出力信号をオシロスコープに接続し、「DAC monitor CH」を該当 CH に選択し、「DAC monitor type」を「fast」と設定します。
  - ・ オシロスコープにて DSP の DAC 出力から FAST 系のフィルタ信号が見えるよう準備します。
- (2) FAST 系微分回路の定数設定
  - ・ 「fast diff」にて FAST 系微分回路の定数を設定します。「ext」、「20」、「50」、「100」、「200」から選択します。
- (3) FAST 系積分回路の定数設定
  - ・ 「fast integral」にて FAST 系積分回路の定数を設定します。「ext」、「20」、「50」、「100」、「200」から選択します。

## (4) FAST 系ポールゼロの設定

- ・ 「fast pole zero」にてポールゼロ調整をします。デフォルト値は 0 です。オシロスコープにて下図ようになるよう設定します。「fast diff」または「fast integral」を変更する毎に調整が必要となりますが、後述の SLOW 系ポールゼロほど厳密な設定は不要です。



「fast polezero」調整前

「fast polezero」調整前

## (5) 参考設定

「fast diff」と「fast integral」の設定は検出器や信号の状態によって異なります。以下におおよその参考例を記載します。

検出器	特徴	fast diff	fast integral
LaBr3	立ち上がりが高速	20	Ext または 20
Ge	高分解能	100	100

## スロー系(青色)の設定のポイント

slow rise time : 台形の上底に達するまでの立ち上がり時間です。この値はエネルギー分解能に大きく影響します。リニアアンプ同様に、「短い値だと分解能は悪いがスループットは高くなり」、「長い値だと分解能は良いがスループットが落ちる」、といった傾向があります。設定の目安としては、リニアアンプのピーキングタイムは 2.0 ~ 2.4 × 時定数になっているのが一般的ですので、リニアアンプの時定数の 2 倍程度のライズタイム値が同じような分解能を示します。スループットは、リニアアンプと比較するとデッドタイムが 6.0 ~ 6.5 × 時定数に対して、DSP は以下の式のようになります。

$$(\text{rise time} + \text{flattoptime}) \times 1.25$$

分解能特性に関わる設定として、リニアアンプの時定数を 6 µs とした場合と同じ条件に設定するには、DSP のライズタイムを 12 µs、フラットトップタイムを 1 µs とします。

ライズタイムの設定は 2 倍になりますが、デッドタイムはリニアアンプが 36 µs であるのに対して DSP が 16.25 µs と半分程度となりますので、長い時定数であっても高いスループットが得られることとなります。

slow flattoptime : 台形の上底の時間幅です。プリアンプの立ち上がりのバラツキによる波高値の誤差を台形の上底の長さを設定することで調整します。**設定値はプリアンプの立ち上がり時間の 0 から 100%でもっとも遅い rise time の 2 倍の値を設定します。**通常は  $0.8\mu\text{s} \sim 1.2\mu\text{s}$  程度になります。大型のゲルマニウム検出器で立ち上がり時間のばらつきが多いものについては  $1.2\mu\text{s} \sim 2\mu\text{s}$  程度に設定する場合があります。**デフォルト値は 1000ns** です。

slow pole zero : スロー系フィルタの立ち下りアンダーシュート及びオーバーシュートをこの値を適切に設定することで軽減することができます。**デフォルト値は 680** です。、検出器によって変わりますので、フロントパネル上 MON 端子 (DAC 出力) から出力されるフィルタ処理された信号をオシロスコープに接続して、調整しながら最適な値に設定します。



例 4 アンダーシュート



例 5 オーバーシュート



例 6 調整後

## (5) フィルタ以外の設定値

fast trigger threshold : この設定値は、以下の 3 つに影響します。  
 ファスト系フィルタの閾値です。この閾値を超えたタイミングでリーディングエッジタイミング (LET) としてのタイムスタンプします。  
 ゲーテッドベースラインレストアラ (BLR) の閾値として使用します。  
 パイルアップリジェクタの閾値として使用します。この値は検出器と接続した場合でノイズと弁別可能なできるだけ低い値に設定します。デフォルト値は 25 です。

設定方法としては、ある程度大きい値 (100 程度) を入力して Input Rate を観測します。閾値を徐々に小さくし Input Rate が大きくなる値を見つけます。その値が信号とノイズの境界なので、その値より +3 ~ +10 程度に設定します。

LLD : エネルギー LLD (Lower Level Discriminator) を設定します。この閾値より下の ch はカウントしません。  
 ULD : エネルギー ULD (Upper Level Discriminator) を設定します。この閾値より上の ch はカウントしません。

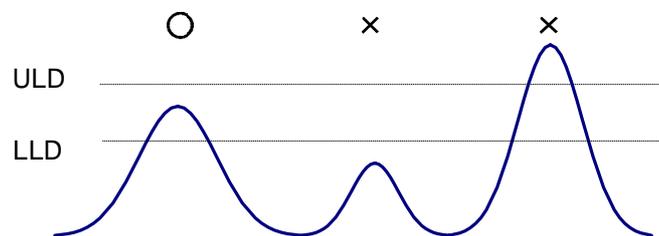


図 8 UUD と ULD

offset : オフセットを設定します。単位は ch です  
 pile up rejector : パイルアップリジェクタの使用可否を設定します

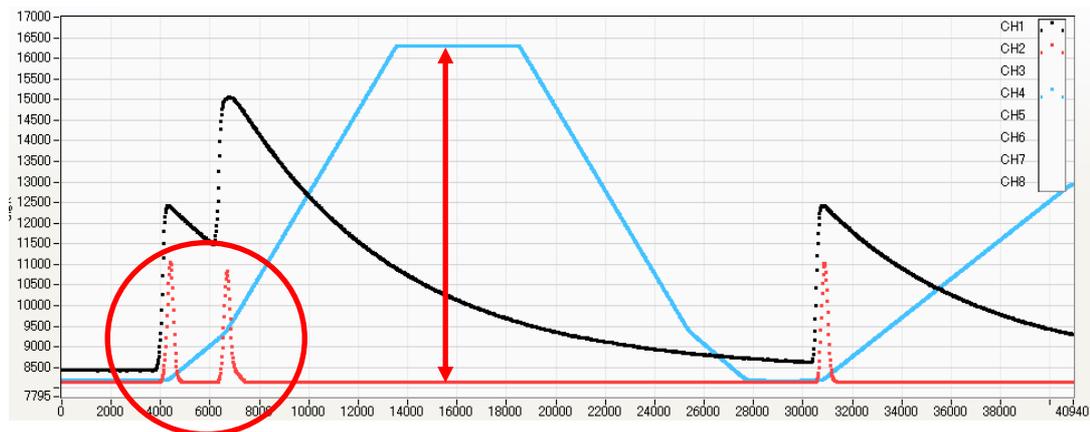
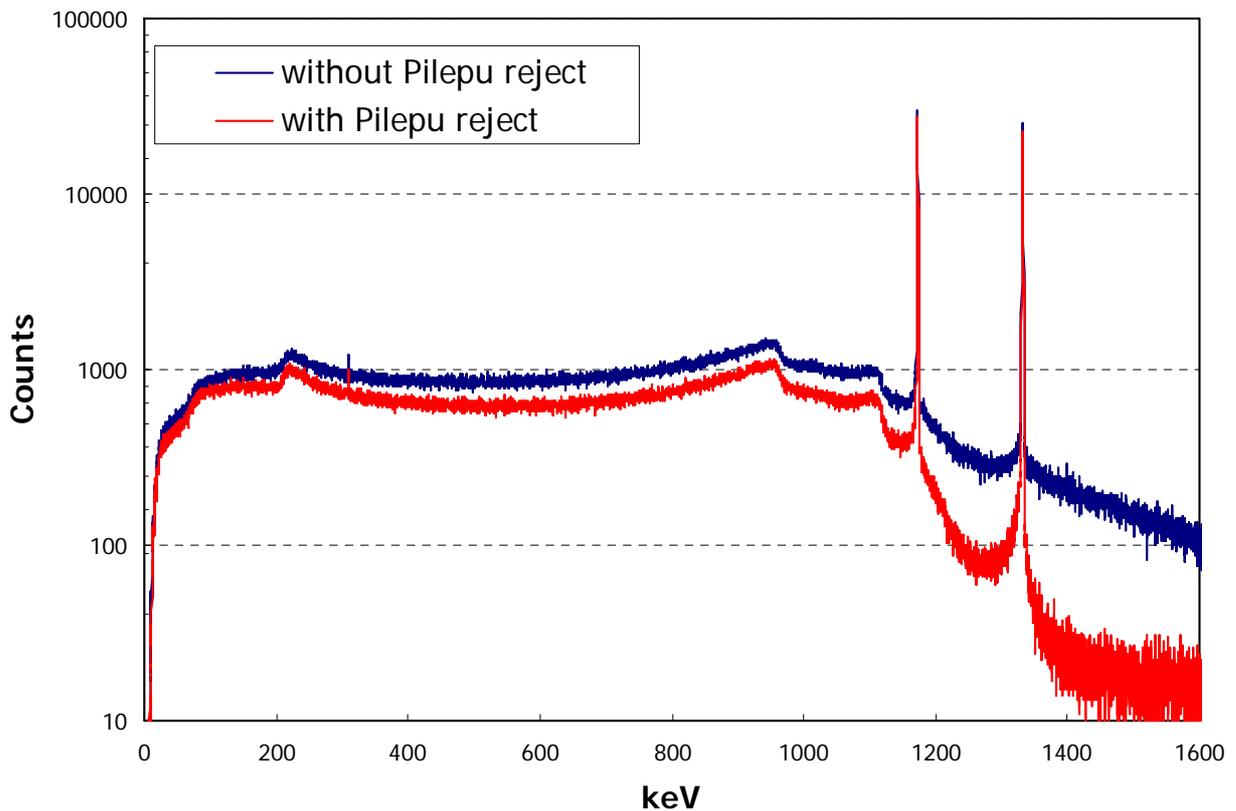


図 9 パイルアップリジェクタ

上図のように波形整形された信号の立ち上がり時間以下で生じた 2 つのパルスは、波形が重なり実際のピーク値とは異なる値になります。高計数率化においては、大きなバックグラウンドノイズになります。このイベントをリジェクトするために、デジタル信号処理により、パイルアップリジェクタをおこないます。対象となる時間は  $(\text{risetime} + \text{flatoptime}) \times 1.25$  でこの間に 2 つイベントがあった場合、リジェクトされます。

パイルアップリジェクタの回数が多いほど、Input Count が複数あるのに対し、Throughput Count が 0 になるため、その差は大きくなります。



polarity : プリアンプ信号の極性を選択します。「pos」は正極性、「neg」は負極性です

digital gain : デジタル的にゲインを 1 倍、2 倍、4 倍、8 倍、16 倍、32 倍、64 倍、128 倍から選択します。台形フィルタの場合、積分回路は積和演算によって計算されます。ライズタイムを大きく取るほど積和演算の回数が増え数値が大きくなり、ライズタイムを小さく取るほど数値が小さくなります。この値がそのままフィルタの出力になるため、補正をする必要があります。ライズタイムの設定値と合わせて使用します。

digital fine gain : デジタル的にファインゲインを設定します。設定範囲は 0.3333 から 1 です

timing select : タイムスタンプを決定するタイミングを「LET」または「CFD」から選択します。

LET リーディングエッジ (Leading Edge Timing)  
あるトリガーレベル  $t$  に到達したタイミングです。トリガー取得タイミングは  $a$  と  $b$  のように波高が変われば時間も異なります。

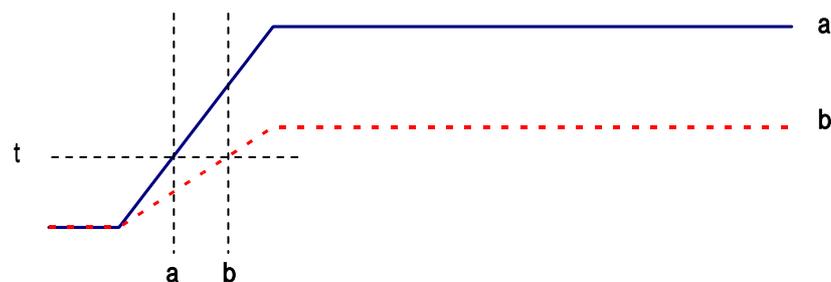


図 11 リーディングエッジ (Leading Edge Timing) の考え方

## CFD      コンスタントフラクションタイミング (Constant Fraction Timing)

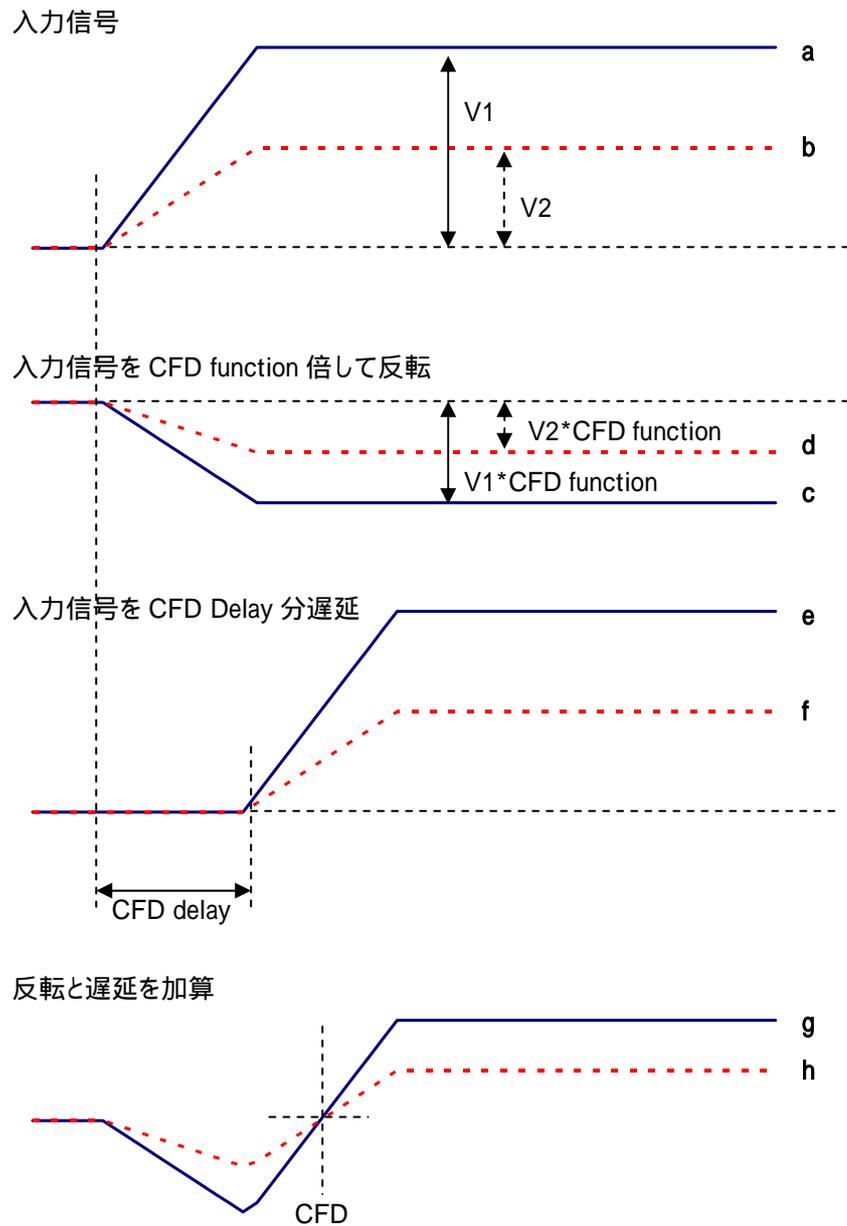


図 12 コンスタントフラクションタイミング (Constant Fraction Timing) の考え方

上図の異なる波形 a と b に対し、以下の波形 c, d と e, f と g, h のような波形を生成します。

波形 c, d : 波形 a と b を CFD function 倍し、反転した波形

波形 e, f : 波形 a と b を CFD delay 分遅延した波形

波形 g, h : 波形 c と e を加えた波形と波形 d と f を加えた波形

波形 g と h のゼロクロスタイミングである CFD は、波形の立ち上がり時間が同じであれば、波高が変化しても一定である、という特徴があります。

- ・CFD function : CFD 算出用に元波形を縮小するための倍率を設定します。0.125、0.25、0.375、0.4、0.5、0.625、0.75、0.875 から選択します
- ・CFD delay : CFD 遅延時間を 10、20、30、40、50、60、70、80ns から選択します

## 2.5. 外形

## 2.5.1. APV8008 VME 型 DSP8CH

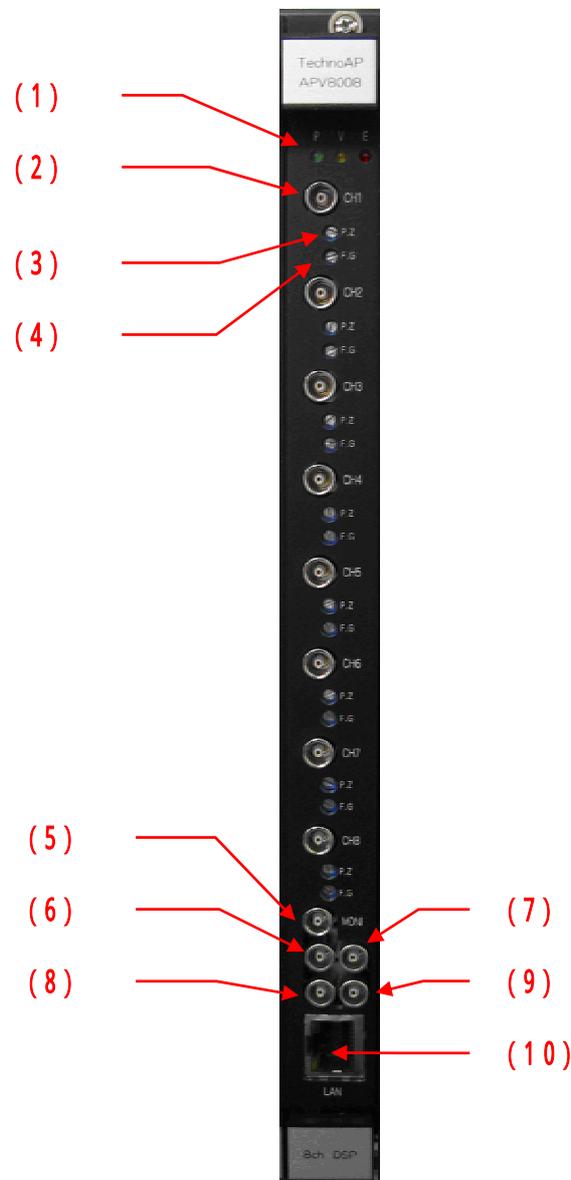


図 13 APV8008

- |                      |  |
|----------------------|--|
| (1) LED :            | P は電源、V は DSP 処理中、E はパイルアップ検出。                                   |
| (2) CH1 ~ 8 :        | プリアンプ信号入力用 LEMO コネクタ。  |
| (3) P.Z :            | ポールゼロ調整用ボリューム。   |
| (4) F.G :            | ファインゲイン調整用ボリューム。0.333 倍 ~ 1.0 倍。                                 |
| (5) MONI :           | モニター出力用 LEMO コネクタ。CH1 ~ 8 の DSP 処理中の信号等を出力します。                   |
| (6) LEMO 左上 (CLK) :  | 外部クロック信号入力用 LEMO コネクタ。25MHz の TTL 信号を入力します。                      |
| (7) LEMO 右上 (GATE) : | 外部ゲート信号入力用 LEMO コネクタ。TTL 信号を入力します。入力が“H”の間データの取得を有効にします。         |
| (8) LEMO 左下 (VETO) : | 外部ベト信号入力用 LEMO コネクタ。“H”の間データの取得を無効にします。                          |
| (9) LEMO 右下 (CLR) :  | 外部クリア信号入力用 LEMO コネクタ。TTL 信号を入力します。“H”の立ち上がりエッジで時間カウンタデータをクリアします。 |
| (10) LAN :           | イーサネットケーブル用 RJ45 コネクタ。   |

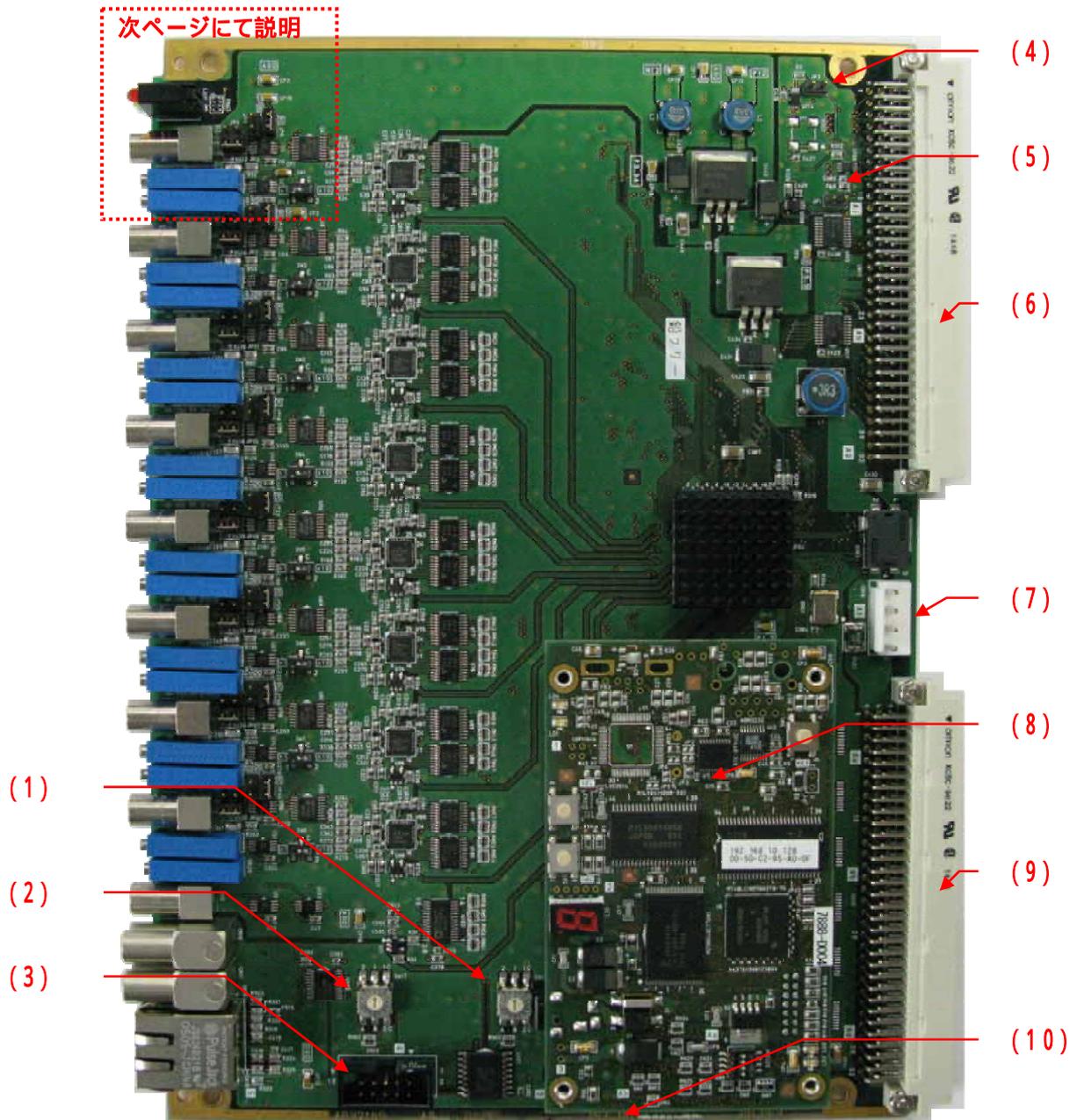


図 14 APV8008 基板

- (1) SW19 : ユニット番号。List データに付加する番号。
- (2) SW17 : アドレス番号。ドーターボードを使用して複数の DSP ボードからデータを集める場合に使用。
- (3) CN13 : 管理者デバッグ用コネクタ。
- (4) JP2 : VME バックプレーンから同期用にシステムクロックを使用。JP2 ジャンパ無しは未使用(デフォルト)、JP2 ジャンパ有りは使用。
- (5) JP1 : 複数 DSP 対応ジャンパ。JP1 ジャンパ無しは単独(デフォルト)、JP1 ジャンパ有りは複数。
- (6) VME J1 : VME の J1 コネクタ。市販の VME コントローラから制御不可です。
- (7) CN18 : デバッグ用電源コネクタ。EI コネクタ(4PIN)。1 番 5 または 6V、2 番 GND、3 番 +12V、4 番 -12V。



- (8) CPU ボード : CPU ボード。詳細は後述を参照ください。
- (9) VME J2 : VME の J2 コネクタ。市販の VME コントローラから制御不可です。
- (10) MFC NO : 製造番号。

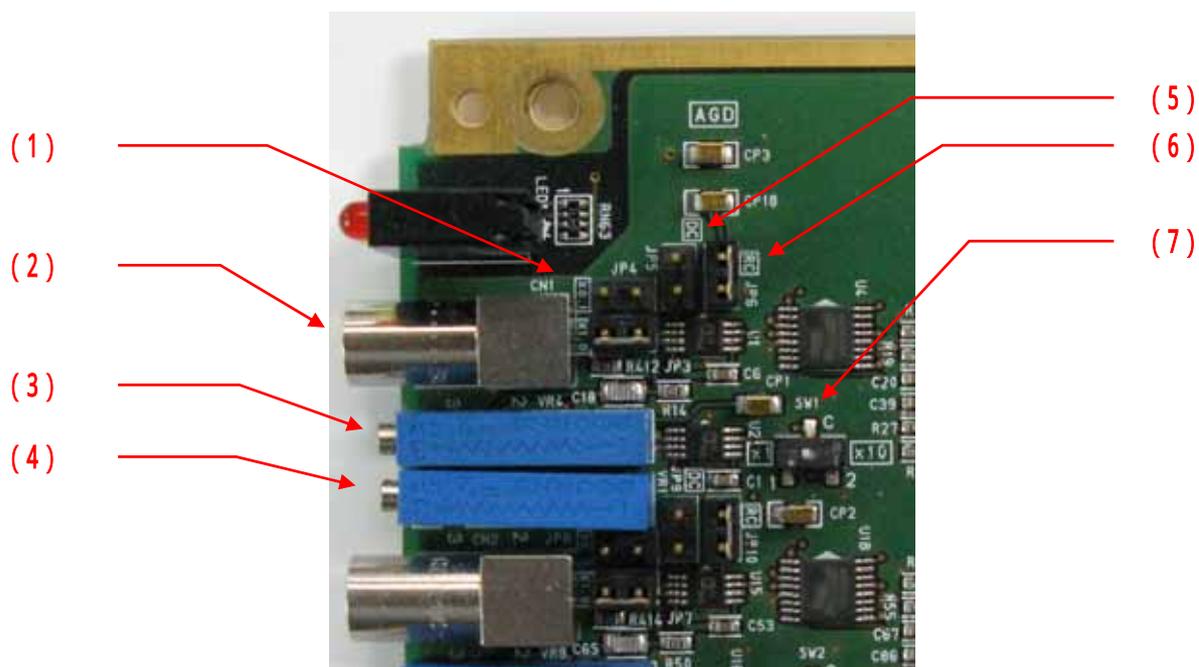


図 15 APV8008 基板 入力部

- (1)  $\times 0.1$ 、 $\times 1.0$  : アッテネータ用ジャンパ。 $\times 1.0$ は入力を 1.0 倍(デフォルト)、 $\times 0.1$ は入力 0.1 倍。どちらか一方を必ずジャンパします。
- (2) CN1 : プリアンプ信号入力用 LEMO コネクタ。
- (3) VR4 : P.Z ポールゼロ調整用ボリューム。
- (4) VR1 : F.G ファインゲイン調整用ボリューム。0.333 倍 ~ 1 倍。
- (5) DC : 初段微分回路ジャンパ。ジャンパ無しは有効(デフォルト)、ジャンパ有りは無効。
- (6) RC : ポールゼロ調整ジャンパ。検出器の種類に応じて使用します。ジャンパ有りは抵抗フィードバック型の場合で有効(デフォルト)、ジャンパ無しはリセット型の場合で無効。
- (7) SW1 : コースゲイン。 $\times 1$ は入力を 1 倍(デフォルト)、 $\times 10$ は入力を 10 倍。

## 2.5.2. APU8004 ユニット型 DSP4CH

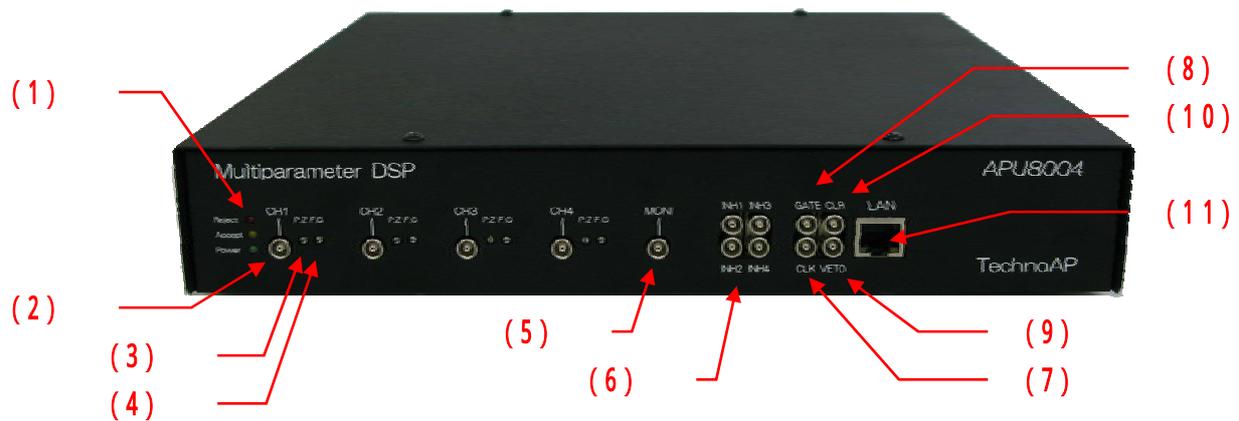


図 16 APU8004

- (1) LED : Power は電源、Accept は DSP 処理中、Reject はパイルアップ検出。
- (2) CH1 ~ 4 : プリアンプ信号入力用 LEMO コネクタ。
- (3) P.Z : ポールゼロ調整用ボリューム。
- (4) F.G : ファインゲイン調整用ボリューム。1 倍 ~ 3 倍。
- (5) MONI : モニター出力用 LEMO コネクタ。CH1 ~ 4 の DSP 処理中の信号等を出力します。
- (6) AUX1 ~ 4 : 拡張用 LEMO コネクタ。デフォルトでリセット型プリアンプのインビット信号入力に使用。AUX1 が CH1、同様に AUX4 が CH4 のリセット信号に対応。TTL 信号。
- (7) CLK : 外部クロック信号入力用 LEMO コネクタ。25MHz の TTL 信号を入力します。
- (8) GATE : 外部ゲート信号入力用 LEMO コネクタ。TTL 信号を入力します。入力が“H”の間データの取得を有効にします。
- (9) VETO : 外部ベト信号入力用 LEMO コネクタ。“H”の間データの取得を無効にします。
- (10) CLR : 外部クリア信号入力用 LEMO コネクタ。TTL 信号を入力します。“H”の立ち上がりエッジで時間カウンタデータをクリアします。
- (11) LAN : イーサネットケーブル用 RJ45 コネクタ。

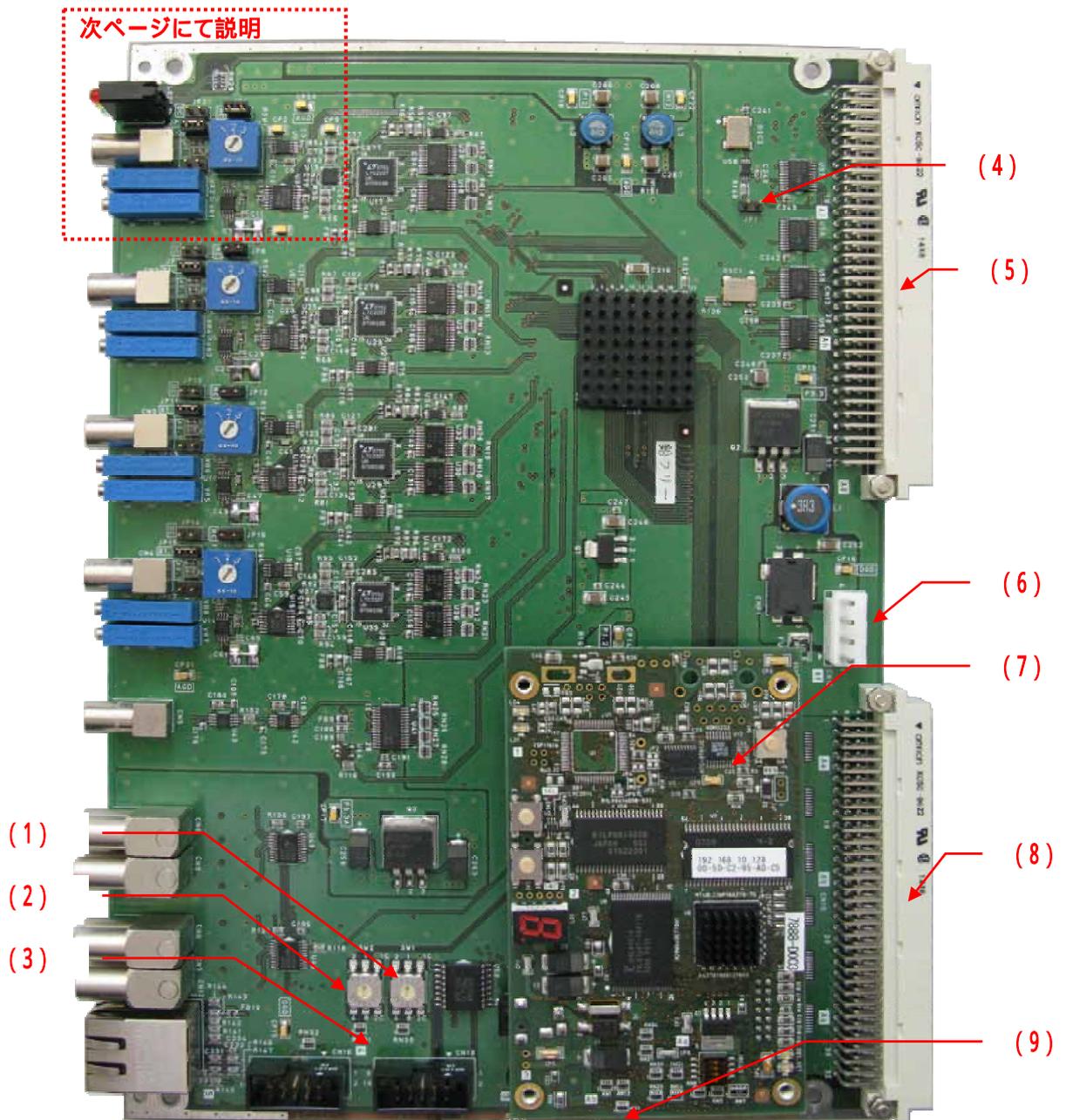
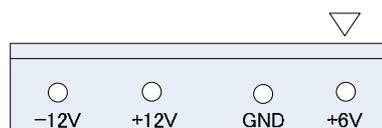


図 17 APV8004 基板

- (1) SW1 : 未使用。
- (2) SW2 : ユニット番号。List データに付加する番号。
- (3) CN10、CN16 : 管理者デバッグ用コネクタ。
- (4) JP1 : 複数 DSP 対応ジャンパ。JP1 ジャンパ無しは未対応(デフォルト)、JP1 ジャンパ有りは対応。
- (5) VME J1 : VME の J1 コネクタ。市販の VME コントローラから制御不可です。
- (6) CN14 : デバッグ用電源コネクタ。EI コネクタ(4PIN)。1 番 5 または 6V、2 番 GND、3 番 +12V、4 番 -12V。



- (7) CPU ボード: CPU ボード。詳細は後述を参照ください。
- (8) VME J2 : VME の J2 コネクタ。市販の VME コントローラから制御不可です。
- (9) MFC NO : 製造番号。

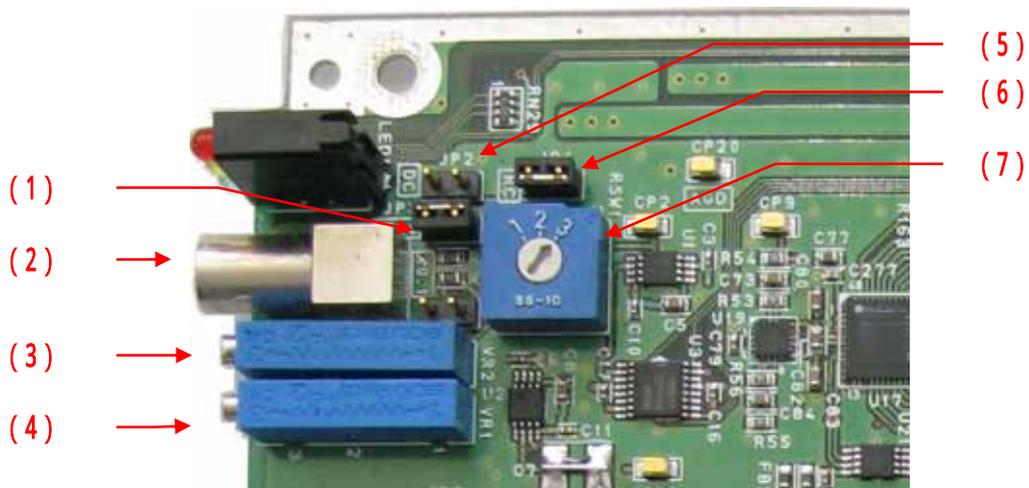


図 18 APV8004 基板 入力部

- (1)   $\times 0.1$ 、  $\times 1.0$  : アッテネータ用ジャンパ。  $\times 1.0$  は入力を 1.0 倍(デフォルト)、  $\times 0.1$  は入力 0.1 倍。どちらか一方を必ずジャンパします。
- (2) CN1 : プリアンプ信号入力用 LEMO コネクタ。
- (3) VR2 : ポールゼロ調整用ボリューム。
- (4) VR1 : ファインゲイン調整用ボリューム。1~3 倍。
- (5)  DC : 初段微分回路ジャンパ。ジャンパ無しは有効(デフォルト)、ジャンパ有りは無効。
- (6)  RC : ポールゼロ調整ジャンパ。検出器の種類に応じて使用します。ジャンパ有りは抵抗フィードバック型の場合で有効(デフォルト)、ジャンパ無しはリセット型の場合で無効。
- (7) RSW1 : シェイピングタイム設定用スイッチ。1 は  $2.2 \mu\text{s}$ 、2 は  $3.9 \mu\text{s}$ 、3 は  $6.8 \mu\text{s}$ (デフォルト)。

## 2.6. APG8101 CPU ボード

APV8000 及び APN7000 などの DSP 製品は、外部からの各種設定やデータ取得のインターフェースとしてテクノエーピー社製 CPU ボード APG8101 を使用しています。APG8101 は、マイコン・FROM・SDRAM・SRAM・RTC・LAN を標準で装備しています。

このボードのネットワーク機能を使用して、DSP のパラメータ設定やイベントデータの取得・送信、ヒストグラムデータの作成と送信などを実行します。

DSP との通信に必要な IP アドレス等のネットワーク情報の設定・記憶も行います。

### (1) 外観



図 19 APG8101

### (2) 仕様

CPU :	RENESAS 社製 SH7619 (SH-2) 最大動作周波数 125MHz、Ethernet コントローラ
Flash FOM :	SPANSION 社製 MBM29LV160T-90PFTN 16MB
SDRAM :	MICRON 社製 MT48LC16M16A2P-75 256MB
SRAM :	RENESAS 社製 R1LV0414DSB-5SI 4MB
RTC :	EPSONTOYOCOM 社製 RTC-9701JE EEPROM 内蔵シリアルインターフェース RTC
コネクタ	
基板用 :	ヒロセ社製 FX8C-100S-SV5(91) 100 ピン
デバッグ用 :	ヒロセ社製 DF11-14DP-2DS 14 ピン
スイッチ :	RES(リセット)と SEL(セレクト)と INC(インクリメント)
Ethernet :	100Base 対応
外形寸法 :	100(W)x60(H) x11(D) RJ45 コネクタ未装着時
重量 :	34g RJ45 コネクタ未装着時
環境条件 :	使用温度 0 から 40 , 結露なきこと

## (3) ネットワーク情報設定

CPU ボードの IP アドレス、サブネットマスク、デフォルトゲートウェイの設定は変更可能です。ネットワーク情報は以下の CPU ボード APG8101 に確保されています。以下に APG8101 を使用したネットワーク情報の設定方法を記載します。

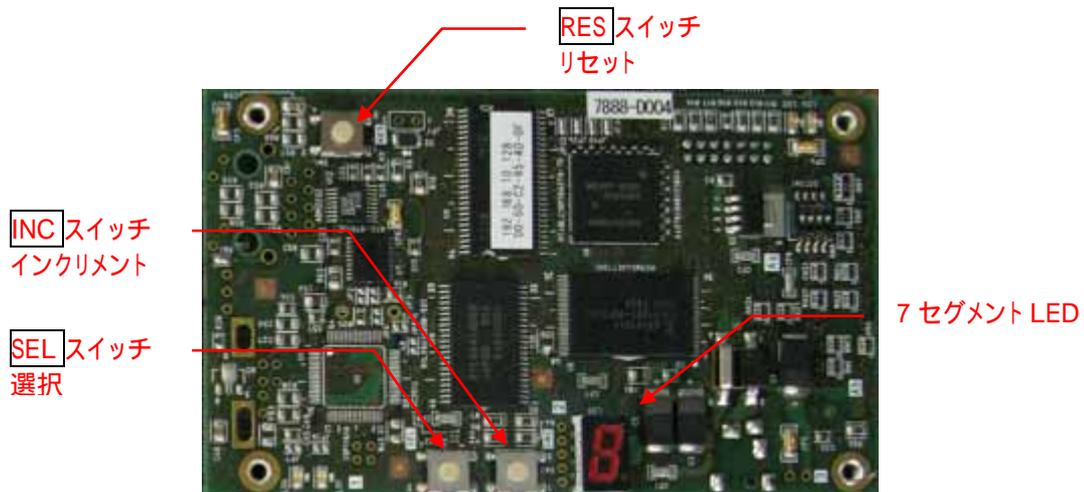


図 20 CPU ボード APG8101

- ・CPU ボード APG8101 上の、**SEL** スイッチ、**INC** スイッチ、**RES** スイッチ、7 セグメント LED の位置を確認します。  
NIM や VME シャーシにて設定作業を行う場合は、怪我をしないように作業スペースを十分確保してください。
- ・DSP の電源を入れます。
- ・**SEL** スイッチを押したままの状態 で **RES** スイッチを一瞬おします。
- ・1 秒ほど待った後、**SEL** スイッチを離します。  
離した後、7 セグメント LED のドット部分が点滅していることを確認します。  
7 セグメント LED のドット部分が点滅は、24 回ある設定の先頭を表しています。  
点滅していない場合は **RES** スイッチを押し、(3) からやり直してください。
- ・IP アドレスを設定します。  
設定は 16 進数表記で設定します。デフォルトの 192.168.10.128 の場合、「C0A80A80」の 8 文字を設定します。  
7 セグメント LED を見ながら「C」になるまで **INC** スイッチを連続しておします。「C」になったら次の「0」の設定に移るため **SEL** スイッチを 1 回押します。  
次の値が表示されドットが点灯していることを確認します。  
ドットの点灯は設定 8 ビット中下位 4 ビットの設定中であることを表現しています。  
セグメント LED を見ながら「0」になるまで **INC** スイッチを連続しておします。  
同じようにして残り 6 文字も設定します。
- ・サブネットマスクを設定します。  
IP アドレスの 8 文字設定後サブネットマスクの設定に移ります。  
設定は 16 進数表記で設定します。デフォルトの 255.255.255.0 の場合、「FFFFFF00」の 8 文字を設定します。  
設定方法は IP アドレスの時と同じです。
- ・デフォルトゲートウェイを設定します。  
サブネットマスクの 8 文字設定後デフォルトゲートウェイの設定に移ります。  
設定は 16 進数表記で設定します。デフォルトの 192.168.10.1 の場合、「C0A80A01」の 8 文字を設定します。  
設定方法は IP アドレスの時と同じです。  
設定を完了すると、先頭の IP アドレスの設定に戻り、7 セグメント LED には「C」と表示されドット部分が点滅しなくなります。
- ・設定内容を確認します。  
**SEL** スイッチを 24 回連続的に押しながら設定した内容を確認し、先頭まで戻れることを確認します。
- ・**RES** スイッチを押します。

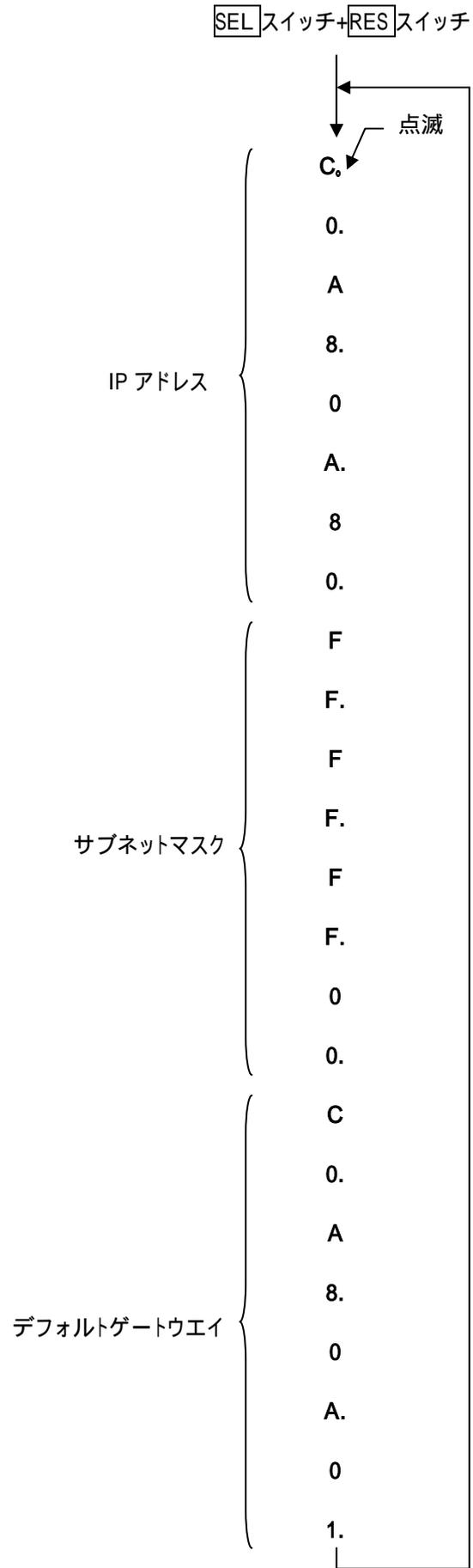
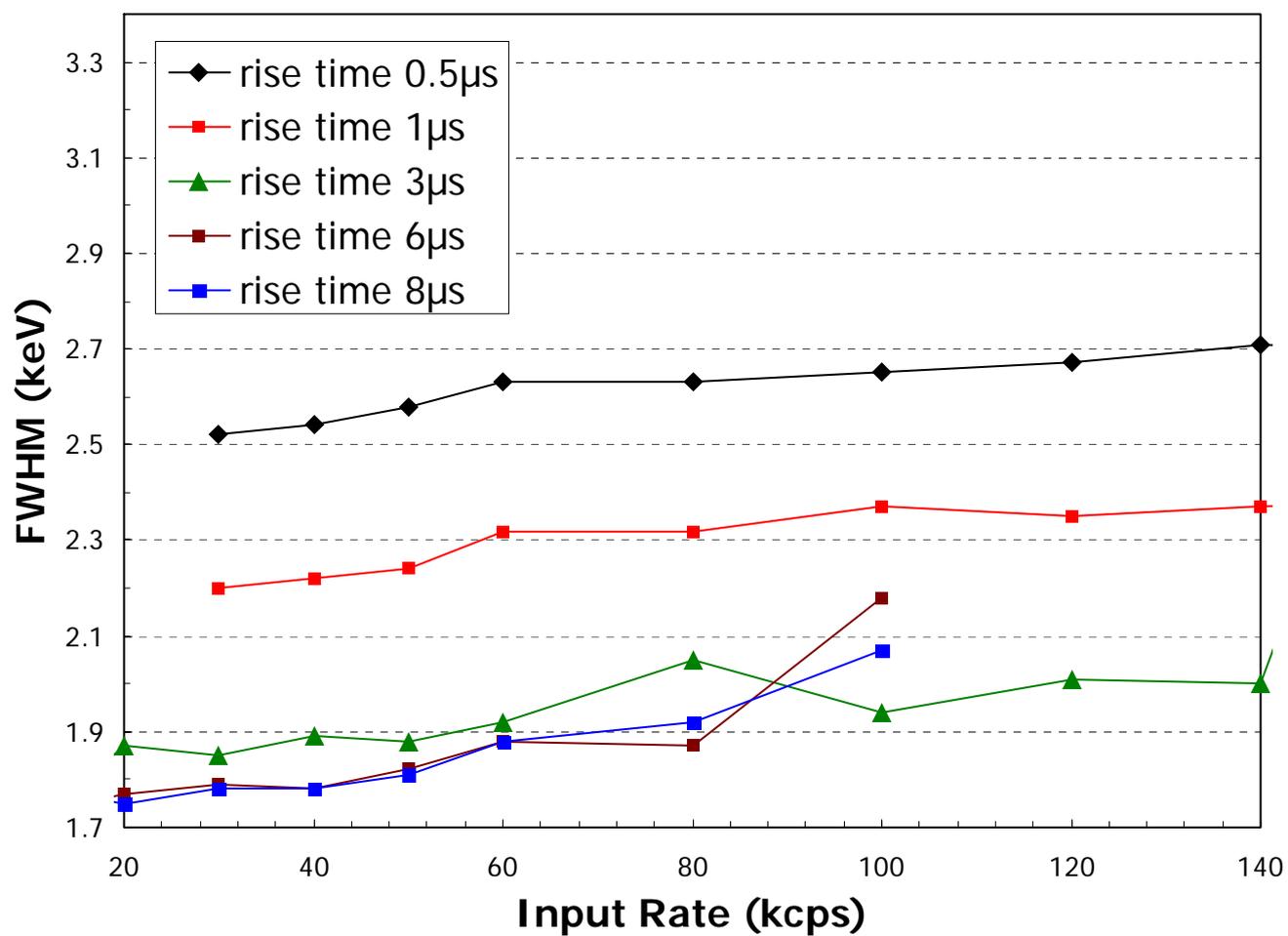


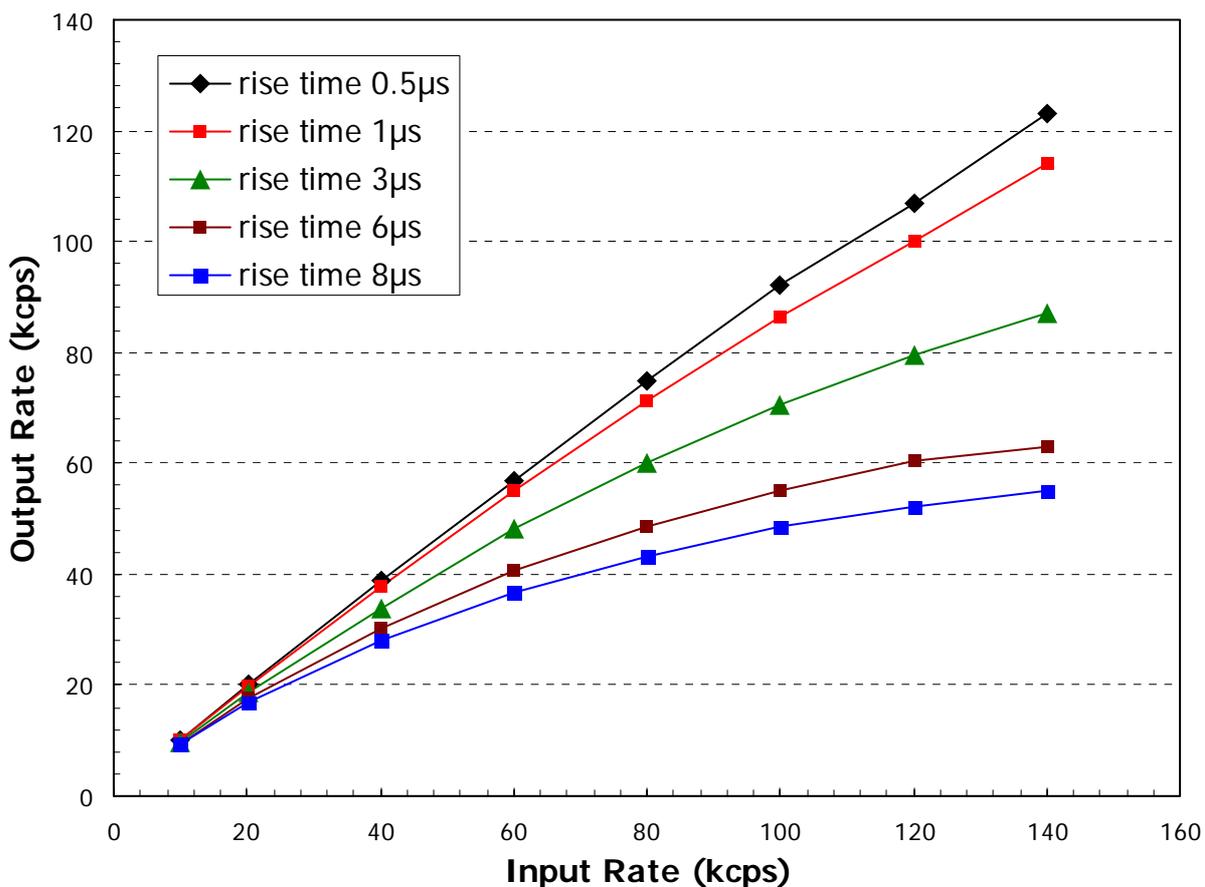
図 21 ネットワーク情報設定順序

## 2.7. 性能

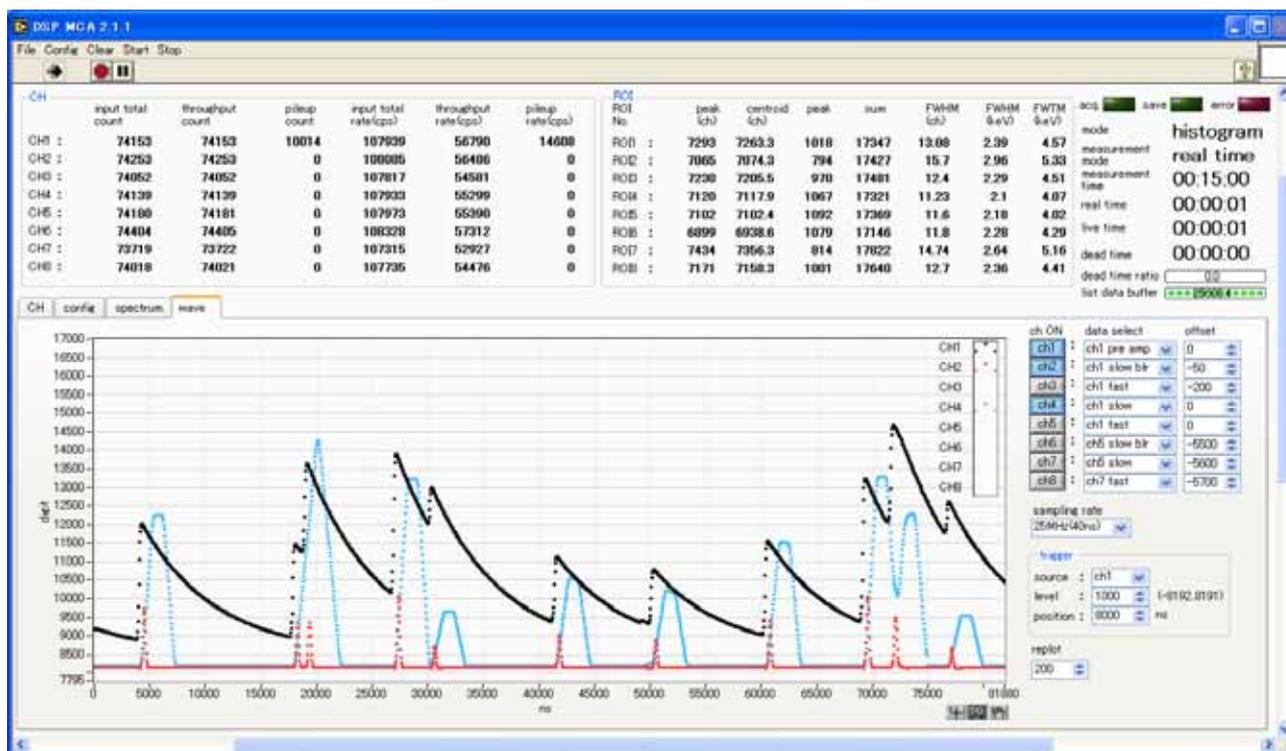
## (1) 分解能



(2) スループット



高計数率における波形の様子



以上